

MOSFET Geçit Oksidi Kırılması için Yeni Bir Güvenilirlik Modeli

A New Reliability Model for MOSFET Gate Oxide Breakdown

Hasan AVCI¹, Mustafa ALTUN²

¹Bilgisayar Mühendisliği
Bahçeşehir Üniversitesi
hasan.avci1@bahcesehir.edu.tr

²Elektronik Mühendisliği
İstanbul Teknik Üniversitesi
altunmus@itu.edu.tr

Özet

Bu çalışmada MOSFET Tranzistörlerde görülen “Geçit Oksidi Kırılması” matematiksel olarak modellenmiş ve incelenmiştir. Yapılan çalışmada geçit oksidi kırılması sürecini modellemek için “Pörkülasyon Teorisi” temel alınmıştır. Çalışmanın ana amacı yaşlanmaya bağlı bu hatayı önceden kestirmek amacıyla bilgisayar tabanlı bir simülasyon metodolojisi geliştirmektir. Bu amaçla geçit oksidi yapısı ve hata oluşum süreci farklı geometrik şekillerde matematiksel olarak modellenmiştir.

Abstract

In this study, we carry out research about Gate Oxide Breakdown failure mechanism on MOSFET. The prime base of this research is Percolation Model for Gate Oxide Breakdown. The main goal of the research is to develop a computer based simulation methodology in order to predict this error due to aging in material. For this goal we have modelled gate oxide structure and error formation process as mathematically in different geometric shapes.

1. Giriş

Yapılan çalışmanın temel konusu MOSFET tranzistörlerde görülen geçit oksidi kırılmasıdır. Geçit oksidi kırılması MOSFET tranzistörlerde yorulmaya bağlı bir hata türüdür. Proses boyutları küçüldükçe, hata daha olası hale gelmektedir. Buna karşın, Moore Yasası’na göre aynı boyuttaki bir entegre devreye yerleştirilebilen tranzistör sayısı 2 katına çıkacaktır [3, 7]. Bu yasa doğası gereği, devreye entegre edilen tranzistörlerin boyutlarının küçülmesini gerektirir. Bu da yapıyı hataya daha elverişli hale getirir. Geçit oksidi kırılması, hatanın fiziği yaklaşımına göre MOSFET tranzistörlerde görülen hata kök nedenlerinden biridir. Geçit oksidi kırılmasını diğer hata türlerinden öne çıkaran unsur, hatanın yalnızca tranzistör için değil tüm elektronik cihaz için ölümcül olmasıdır[4]. Bunun anlamı, yalnızca bir tranzistörde görülebilecek kırılmanın tüm yapıyı kullanılamaz hale getirmesidir. Tüm bu sebepler geçit oksidi kırılmasının önceden kestirilmesini ve yapının bu hataya karşı

dayanıklılığının test edilmesinin önemini göstermektedir. Elektronik cihazların güvenilirlik ve kalite standartlarında genel olarak çeşitli hızlandırılmış fiziksel stres testler uygulanır. Bu testler sonucunda elde edilen verilerin çeşitli matematiksel modellerle yorumlanması ile ürüne ait kalite ve güvenilirlik saptaması gerçekleştirilir. Sözü edilen süreçte fiziksel testler, çok uzun zaman ve oldukça maliyetli ekipmanlar gerektirmektedir. Hata fiziği yaklaşımı sayesinde incelenen hataya ait kök nedenler incelenerek, tüm sürece dair matematiksel ve fiziksel modeller üretilebilmektedir. Bu çalışmada bu sürecin matematiksel pörkülasyon teorisi ile modellenmesi ve gerçeğe yaklaştırılması yoluna gidilmiştir.

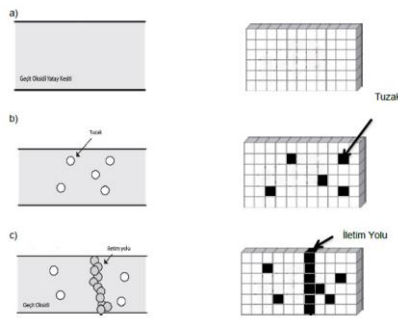
Pörkülasyon modeli geçit oksidi kırılmasında tuzak oluşumunu matematiksel olarak inceler. Bundan dolayı bilgisayar ortamında simülasyon yapmaya elverişlidir. Degreave ilk defa geçit oksidi kırılmasının pörkülasyon modeli ile bilgisayar ortamında simüle edilebileceğini göstermiştir[2]. Stathis ise kırılmaya neden olan tuzakları kübik olarak modellemiş ve Weibull dağılımında kullanılan beta parametresi ile geçit oksidi kalınlığı arasındaki ilişkiyi göstermiştir[1]. Bu çalışmada ise kırılmaya sebep olan tuzaklar “tuğla” ve 3D tuğla olarak modellenmiştir. Tuğla ve 3D tuğla modeli ile modellenen tuzakların geometrik olarak komşuluk sayısı da artmıştır. Gerçek dünyada tuzaklar arası komşuluklar kare gibi 4 olası komşuluklu olarak değil rasgele olarak komşuluk oluşturabilir ve iletken yol oluşumuna sebep olabilir. Kullanılan geometrik modelde komşuluk sayısının artırılması gerçeğe daha yakın simülasyonlar yapılmasına imkan tanımıştır.

2. Modelleme

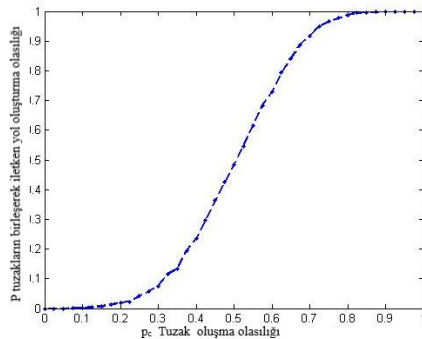
2.1. 2D ve 3D Karesel Modelleme

Bu bölümde MOSFET tranzistörün geçit oksidi 2 ve 3 boyutta modellenmiş ve birbirine eş karesel hücrelere ayrılmıştır. Geçit oksidi kırılması zamana bağlı olarak gözlenen bir hata türüdür. Hata süreci rasgele oluşan küçük iletken tuzakların taban ve tavan arasında bir yol oluşturması şeklinde gelişmektedir. Modelleme sürecinde yaklaşım bu küçük

tuzakların oluşma olasılığı(p_c) ile bu tuzakların birleşerek iletken bir yol oluşturma olasılığı(p) arasındaki ilişkiyi gerçeğe yakınsatmaktadır. Şekil 1’de görülen küçük hücrelerin her birinin birbirinden bağımsız olarak p_c olasılığı ile tuzak oluşturma olasılığı vardır. Eğer bu tuzaklar tabanla tavan arasında birbirine bağlı dikey bir yol oluştursa MOSFET geçit oksidi kırılır. Pörkülasyon teorisi genelde, bir sistemde meydana gelecek küçük değişimlerin sistemin tamamı üzerindeki etkisi inceler. Şekil 2’de örnek bir pörkülasyon grafiği gösterilmiştir. Yatay eksen p_c ’yi ifade ederken dikey eksen yol oluşma olasılığını(p) göstermektedir. Bu grafiğin elde edilmesinde bilgisayar tabanlı simülasyonlardan faydalanılmıştır. Bu süreçte geçit oksidinin tamamı bir matris ile ifade edilmiş, matrisin her bir elemanı ise olası tuzaklara karşı gelecek şekilde modellenmiştir. Her bir hücreye $[0,1]$ aralığında random sayılar atanarak Monte Carlo simülasyonu yapılmıştır. Hoshen-Kopelman algoritması simülasyona entegre edilerek, pörkülasyon gerçekleşip gerçekleşmediği incelenmiştir.



Şekil 1: Geçit Oksidi ve Modellenmesi



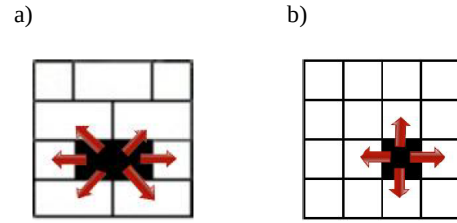
Şekil 2: Pörkülasyon Grafiği Örneği

Bu noktada ana problem hataların karesel olarak modellenmesinden dolayı olası komşuluk sayısının 4 ile sınırlı olmasıdır. Gerçekte söz konusu tuzakların olası komşuluk sayıları çok daha fazla ihtimal barındırmaktadır. Bu problemi aşmak için bu çalışmada 2D ve 3D tuğla modelleri önerilmiştir.

2.2. 2D ve 3D Karesel Modelleme

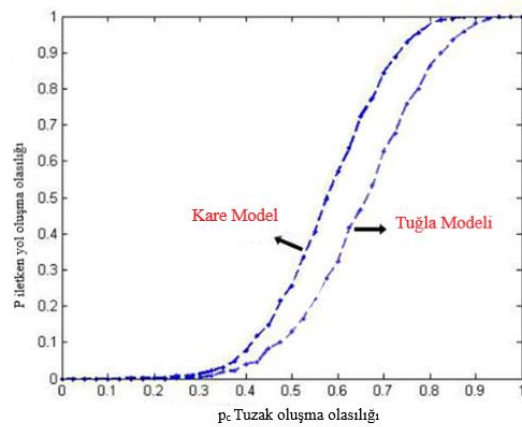
Geçit oksidi kırılmasını modellemek üzere karesel ve kübik yaklaşımlar geleneksel olarak kullanılmaktadır. Bu çalışmada ise tuzakların her birinin tuğla biçiminde oluştuğu varsayılarak modelleme yapılmıştır. Bu modelleme

ile karesel modelleme arasındaki fark Şekil 3’de gösterilmiştir.



Şekil 3: Hata oluşumunun Geometrik olarak modellenmesi
a)Önerilen Tuğla Modeli b)Geleneksel Kare Model

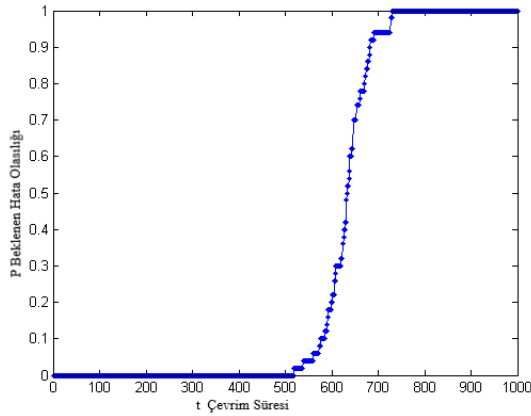
Şekilde de görüldüğü gibi tuğla model ile modellenmiş her bir hücre 6 adet olası komşuluk barındırmaktadır. Bu da modellemeyi doğal sürece yaklaştırmaktadır. Şekil 4’te aynı boyuttaki MOSFET tranzistörün 2D Karesel ve 2D Tuğla modeli ile modellenmesi sonucu elde edilen sonuçların karşılaştırılması gösterilmiştir.



Şekil 4: Kare ve Tuğla Model Sonuçlarının Karşılaştırılması

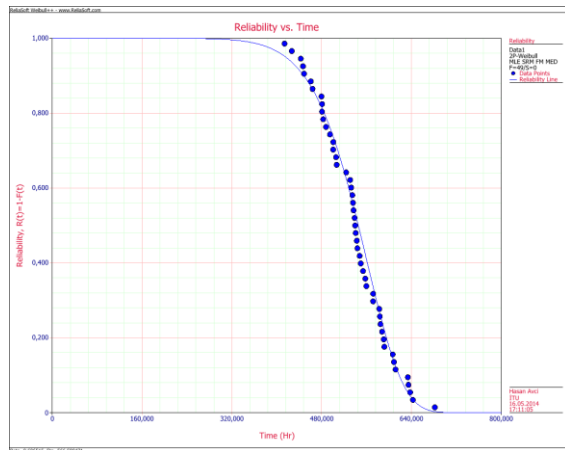
3. Zaman Domeni Analizi ve Sonuçların Weibull Dağılımına Uydurulması

Şimdiye kadar elde edilen grafikler bize tuzak oluşma olasılığına karşılık pörkülasyon olasılığını vermektedir. Hızlandırılmış test sonuçlarında ise örnekler uygulanan stres çevrimi sayısı ve bozulan örnekler üzerinden yorumlamaya gidilir. Bu noktada elde edilen grafiklerin zaman domenine çevrilmesi gerekir. L. Rezaee doktora tezinde bu dönüşümün nasıl yapılabileceğini açıklamıştır[5]. Bir önceki bölümde uygulanan p_c aslında hızlandırılmış testlerde uygulanan stres e karşı gelmektedir. Amaç hızlandırılmış testlerin simülasyonu olduğundan, tüm örnekler aynı stres uygulanması gerekmektedir. Stres parametresinin seçilmesinde ise dikkat edilmesi gereken kriter, kullanılacak modele ait geometrik şeklin pörkülasyon eşiğinden yeterince küçük seçilmesidir[5].Şekil 5’te tuğla modeli kullanılarak elde edilen bir simülasyon sonucunda elde edilen bir grafik gösterilmiştir.



Şekil 5: Zaman Domeninde Elde Edilen Grafik Örneği

Metodolojinin bundan sonraki adımında elde edilen sonuçların gerçek ölçekte değerlendirilmesi işlemi vardır. Bu amaçla çeşitli istatistiksel dağılımlardan faydalanılır. Güvenilirlik hesaplamalarında en sık kullanılan istatistiksel dağılım Weibull dağılımıdır. Elde edilen sonuçlar kolaylıkla Weibull dağılımına uydurularak yorumlanmaya hazır hale getirilebilir. Şekil 6'da Weibull dağılımında yorumlanmış bir simülasyon sonucu örneği gösterilmiştir. Gösterilen grafik Güvenilirlik-Zaman grafiğidir. Beklendiği gibi belirli bir süre sonra yapı hataya karşı bağımsızlığını kaybetmekte ve hataya elverişli hale gelmektedir.



Şekil 6: Güvenilirlik-Zaman Grafiği Örneği

3.1. Optimum Tuzak Boyutlarının Hesaplanması

Yapılan bütün simülasyonlarda matris boyutları direkt sütun ve satır sayısı olarak girilmiştir. Her bir matris elemanı olası bir tuzağa karşılık geldiği için matris boyutları simülasyonun gerçek sonuçlarla paralel olması bakımından önemlidir. Geçit oksidi kırılmasını 2D ve 3D kare modellerle ilk defa modelleyen Stathis, her birim hücre boyutunun gerçekte 3 nanometre ye karşılık geldiğini ileri sürmüştür[1-8]. L. Rezaee ise doktora çalışmasında literatürde yer alan deneysel verilere göre geçit oksidi kalınlığı ile β değerleri arasında lineer eğri uydurma yöntemi ile ilişki tanımlamış; aynı ilişkiyi simülasyonlara uydurmak için ideal hücre boyutunu

hesaplamıştır. Bu boyut 2D kare model için 1.87 nm olarak hesaplamıştır[5]. Tuğla modeli ilk defa bu projede önerildiği için ideal tuzak boyutu literatürde bulunmamaktadır. Bundan dolayı Rezaee nin çalışmasında kullandığı metodu tuğla modeline entegre ederek ideal tuzak boyutu hesaplanmıştır. L. Rezaee nin çalışmasında uydurulan lineer denklem aşağıdaki gibidir[9].

$$\beta = 0.5478 \times \text{tox} + 0.208 \quad (1)$$

Tuğla modeli simülasyonu sonucunda elde edilen Weibull dağılımı β değeri ve hücre sayısı "c" ilişkisi ise aşağıdaki denklemle tanımlanabilir.

$$\beta = 0.2297 \times c + 4.137 \quad (2)$$

Hücre sayısı c nin tox / a ya eşit olduğu göz önüne alınırsa, a (tuzak boyutu) yaklaşık olarak 0.42 nm olarak hesaplanır.

4. Sonuçlar

Bu çalışmanın sonucunda MOSFET tranzistörlerde geçit oksidi kırılmasının önceden kestirimi adına tutarlı bir metodoloji geliştirilmiştir. Metodoloji hiçbir fiziksel test veya ekipmana ihtiyaç duymaz. Çalışma dahilinde MOSFET geçit oksidi kırılmalarında tuzak oluşum sürecini açıklamak üzere 2 yeni modelleme çeşidi(2D tuğla-3D tuğla) önerilmiştir. Önerilen modeller ile tuzaklar arasındaki komşuluk sayısı artırılarak simülasyonlar gerçeğe yaklaştırılmıştır. Ayrıca tuğla modelinde hesaplanan tuzak boyutları kare modele göre yaklaşık 5 kat daha küçüktür. Bunun anlamı metodoloji çok daha küçük yapılar için kullanılmaya elverişli hale getirilmiştir. MOSFET teknolojisine alternatif nanowire, nanotüp, 4 uçlu tranzistör gibi yapılarda da en önemli sorunun güvenilirlik olduğu dikkate alınırsa, çalışmanın bu problemin çözümüne ciddi bir katkı sunacağı söylenebilir.

5. Kaynaklar

- [1] J. H. Stathis, "Percolation models for gate oxide breakdown," Journal of Applied Physics 86, 5757 (1999); doi: 10.1063/1.371590
- [2] Degraeve, Robin, et al. "New insights in the relation between electron trap generation and the statistical properties of oxide breakdown." *Electron Devices, IEEE Transactions on* 45.4 (1998): 904-911.
- [3] G. E. Moore, "Progress in Digital Integrated Electronics", Technical Digest of the IEEE (1975)
- [4] J. H. Stathis, "Physical and predictive models of ultrathin oxide reliability in MOSFET devices and circuits," IEEE Trans. Device and Materials Reliability, vol. 1, no. 1, pp. 43-59, (March 2001)
- [5] L. Rezaee, "Bimodal Gate Oxide Breakdown for Sub-100nm MOSFET Technology." University of Waterloo PhD Thesis, (2008)
- [6] J. Hoshen and R. Kopelman, "Percolation and cluster distribution. I. cluster multiple labeling technique and critical concentration algorithm," Phys. Rev. B., vol. 1, no. 8, pp. 3438-3445, October 1976.
- [7] M. Haselman and S. Hauck, "The Future of Integrated Circuits: A Survey of Nanoelectronics." Proceedings of the IEEE (Volume:98, Issue: 1), (Jan. 2010)
- [8] Azizi, N., 2003, Gate Oxide Breakdown.