

Anahtarlamalı Nano Dizinler ile Lojik Devre Tasarımı ve Boyut Optimizasyonu

Logic Circuit Design with Switching Nano Arrays and Area Optimization

Muhammed Ceylan Morgül¹, Mustafa Altun¹

¹Elektronik ve Haberleşme Mühendisliği
İstanbul Teknik Üniversitesi
mcmorgul@yahoo.com, altunmus@itu.edu.tr

Özet

Bu çalışmada, yeni ve gelişen teknolojilerden olan kendiliğinden üretilen (self-assembled) nano-dizinler için lojik devre tasarımı gerçekleştirilmiştir. Bu kapsamda çalışmanın ilk bölümünde, diyot, CMOS ve dört-uçlu anahtar tabanlı olmak üzere üç farklı nano-dizin türü analiz edilmiştir. Her nano-dizin türü için, fonksiyon sentez teknikleri ortaya konmuştur. Ortaya konan bu teknikler ile gerçekleştirilen dizinlerin boyutlarını ifade eden formüller oluşturulmuştur. Altı farklı fonksiyonun üç farklı nano-dizin ile gerçekleştirildiği tasarımların boyutları karşılaştırılmıştır. Bu karşılaştırma sonucu dört-uçlu anahtarlı nano-dizinlerin daha iyi sonuçlar verdiği gözlenmiştir. Bu sebeple, çalışmanın ikinci bölümünde XOR fonksiyonlarının sentezi bu tür nano-dizinler ile yapılmıştır ve bir sentez metodu geliştirilmiştir. Geliştirilen metot, dizin boyutu açısından literatürdeki diğer teknikler ile karşılaştırılmış ve daha iyi sonuçlar verdiği gözlenmiştir. Aynı zamanda, elde edilen sonuçların geleneksel CMOS anahtarlı devre boyutlarından da küçük olduğu ifade edilmiştir.

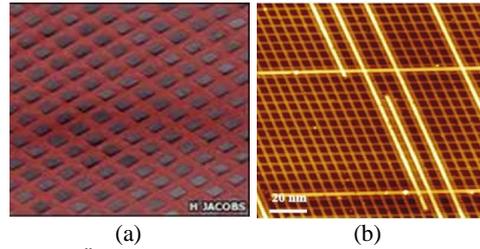
Abstract

In this paper, logic circuit design with self-assembled nano-array, which is one of the future and emerging technologies, was studied. In this context, three different nano-array types, namely diode, CMOS and four-terminal switch-based nano-arrays are analyzed in the first stage of the study. Function synthesis techniques for each type of nano-arrays are presented. Expressions for the size formula of the nano-arrays designed using these techniques are derived. The sizes of the nano-arrays realizing six example functions implemented using the three types of nano-arrays are compared. The comparison reveals that four-terminal switch based nano-arrays lead to the smallest size. Therefore in the second stage of the study, synthesis of XOR functions are made with this type of nano-arrays and a synthesis method is developed. It is concluded that the developed method performs better than the methods in the literature in terms of size, after the comparison between. Moreover, the sizes of designs are also smaller than the sizes of traditional CMOS based circuits.

1. Giriş

CMOS transistörlerin icadından beri üreticiler ve tasarımcılar, transistör boyutlarının küçültülmesi üzerine çalışmalar yapmışlardır. Ancak transistör boyutlarının fiziksel limitlerine ulaşılması sebebiyle bu yaklaşımın yakın bir gelecekte sonlanacağı tahmin edilmektedir [1]. Gordon Moore'un kendisi bile, CMOS transistörlerin boyutları ve tümleşik devreler

içindeki sayıları hakkında yaptığı -geniş çevrelerce kabul edilmiş- öngörüsünün geçerliliğini yitireceğini ifade etmiştir [2]. Elektronik hesaplamalara uygun yeni teknoloji arayışları; DNA ve moleküler hesaplama, quantum kapılar ve nano boyutlarda kendiliğinden üretilen (self-assembled) nano-dizin devreleri gibi ürünleri ortaya çıkarmıştır [3, 4]. Bu çalışmada, bu teknolojilerden Şekil 1'de örnekleri verilen kendiliğinden üretilen (self-assembled) nano-dizinlerin tasarım teknikleri araştırılmış ve bu teknikler yapılan hesaplamalarla karşılaştırılmıştır.



Şekil 1: Üretilmiş nanodizin örnekleri (a) [5] ve (b) [6].

Nano boyutta üretilen bu dizinleri diyot, CMOS ve dört-uçlu anahtar tabanlı olmak üzere üç farklı türde incelemek mümkündür (Şekil 2). Bu türler henüz ticari kullanıma geçmemekle birlikte hali hazırda üretilmektedirler [8-10].

Araştırmanın ilk aşamasında bu üç farklı nano-dizin türü analiz edilmiştir. İstenilen lojik-fonksiyonların bu devreler ile gerçekleştirme teknikleri ortaya çıkarılmıştır. Bu teknikler kullanılarak bir fonksiyonu gerçekleştirmek için gereken nano-dizin boyut denklemi, giriş/çıkış sayısı ve çarpım terim sayısı cinsinden formülize edilmiştir. Üretilen formüller sayesinde herhangi bir hedef fonksiyonu gerçekleyen nano-dizin tasarımının boyutları kesin olarak bulunmuş olmaktadır.

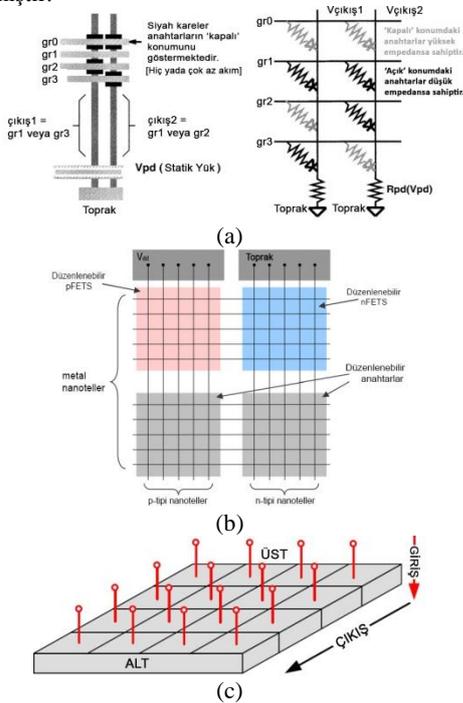
Altı örnek fonksiyonun üç nano-dizin türü için tasarım boyutları elde edilen formüller kullanılarak hesaplanmıştır. Elde edilen hesaplamaların karşılaştırması sonucunda, dört-uçlu nano-dizinlerin bu fonksiyonlar için devre boyutu açısından daha avantajlı olduğu gözlenmiştir. Bu avantajın birçok fonksiyon için de geçerli olabileceği ampirik olarak öngörülmüştür. Dört-uçlu anahtar tabanlı nano-dizinlerin boyut avantajı sebebiyle, araştırmanın sentez aşamasında bu nano-dizin türü tercih edilmiştir.

Sentezi yapılmak üzere XOR (özel-OR) fonksiyonları tercih edilmiştir. Karşılaştırma algoritmalarının temelini oluşturan bu fonksiyonlar, toplama ve doğruluk test devreleri gibi birçok elektronik ve haberleşme sistemlerinde geniş ölçekli olarak kullanılmaktadır [7].

Dört-üçlü nano-diziner ile XOR fonksiyonlarının literatürde önceden sunulan iki sentez tekniği incelenmiş ve devre boyutu açısından daha iyi sonuç veren yeni bir teknik geliştirilmiştir [10]. Tümevarım yaklaşımıyla gerçekleştirilen bu teknik, alt devre tasarımlarının iyileştirilmesiyle geliştirilmiştir. Bu iyileştirilmelerden biri, XOR₄ fonksiyonun 3x5 (sıra sayısı üç, sütun sayısı 5) boyutlarında bir nano-diziner ile sentezlenmesi olmuştur.

Örnek vermek gerekirse; XOR₅ fonksiyonu dört-üçlü nano-diziner ile literatürdeki tekniklerin biriyle (genel fonksiyonlar için geliştirilmiş teknik) 16x16, diğeriyle (XOR için özel teknik) 5x16 boyutlarında gerçekleştirilmesine rağmen, geliştirilen teknik sayesinde 4x10 boyutunda gerçekleştirilebilmektedir.

Önceki tekniklere göre diziner boyutu açısından çok daha avantajlı olan bu teknik, geleneksel CMOS devre boyutlarıyla da karşılaştırılmıştır. Bazı varsayımlar kullanılarak yapılan bu karşılaştırmada dört-üçlü nano-diziner tasarımlarının CMOS devrelere nazaran çok küçük boyutlara ulaşabildikleri belirtilmiştir.



Şekil 2: Diyot tabanlı (a) [8], CMOS tabanlı (b) [9] ve dört-üçlü anahtar tabanlı nano-diziner (c) [10].

Bildiri giriş bölümünü takiben; ikinci bölümde üç farklı tür nano-dizinerin analizleri yapılarak, diziner boyut denklemlerinin nasıl formülize edildiklerinden bahsedilmiştir. Yapılan analiz sonucu dört-üçlü anahtarlı nano-dizinerin daha iyi sonuçlar verdiği gösterilmiştir. Üçüncü bölümde ise, dört-üçlü anahtar tabanlı nano-diziner ile XOR fonksiyonlarının nasıl sentezlendiği detaylı bir şekilde anlatılmıştır. Geliştirilen teknik ile elde edilen tasarımların boyutları ile geleneksel CMOS tabanlı devrelerin boyutları karşılaştırılmıştır. Dördüncü bölümde elde edilen sonuçlar ve araştırmanın geliştirilmeye açık tarafları tartışılmıştır.

1.1. Açıklamalar ve Kısaltmalar

Bildiri içerisinde geçen bazı ifadeler için açıklamalar aşağıda verilmiştir.

Kesme İşareti (*): Bir değişken veya fonksiyonun değerini ifade etmek için kullanılmaktadır. Örneğin A değişkeninin değili “ A ’ şeklinde ifade edilmektedir.

Giriş Sayısı: Bir fonksiyonda bulunan birbirinden farklı değerler alabilen, birbirine bağımlı veya bağımsız değişkenlerin toplam sayısı. Örneğin bir fonksiyon içerisinde A, A’ ve B değişkenleri var ise; bu fonksiyonun giriş sayısı 3’tür.

Çıkış Sayısı: Bir devrenin çıkışında elde edilebilen fonksiyonların sayısı. Diyot ve CMOS tabanlı nano-diziner devreler birden fazla çıkış değeri elde etmek için kullanılabilmektedir.

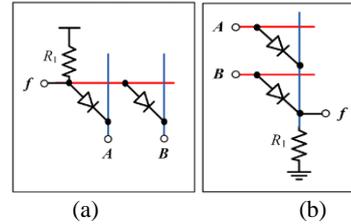
Çarpım Sayısı: Çarpımların toplamı formatında yazılmış fonksiyonların ifadelerinde bulunan çarpım terimlerinin toplam sayısı. Elde edilen denklemler fonksiyonların kendilerinin ve eşleniklerinin (dual) çarpım sayıları cinsinden ifade edilmiştir.

2. Nano-Dizinerin Analizi ve Diziner Boyut Formülasyonu

Diyot tabanlı, CMOS tabanlı ve dört-üçlü anahtar tabanlı nano-diziner ayrı ayrı incelenmiş, boyut formülleri çıkarılmış ve sonuçlar karşılaştırılmıştır.

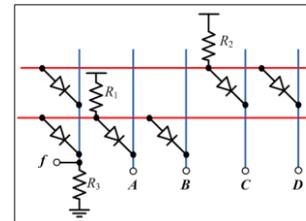
2.1. Diyot Tabanlı Nano-Diziner

Diyot tabanlı nano-diziner ile temel “VE” ve “VEYA” fonksiyonlarının nasıl gerçekleştirildiği Şekil 3’de gösterilmiştir.



Şekil 3: $f = AB$ (a) ve $f = A + B$ (b) fonksiyonlarının diyot tabanlı nano-diziner tasarımları.

Bu tasarımlardan yola çıkarak çarpımların toplamı olarak yazılmış fonksiyonlar için devre tasarımı direkt olarak yapılabilir. Şekil 3.a’da gösterildiği gibi p-tipi nano-tel üzerinde oluşturulmuş çarpım terimlerini Şekil 3.b’deki toplama devresine giriş olarak verilmesiyle, toplama devresinin çıkışında fonksiyon elde edilmiş olur [8, 11]. Bu teknik ile $f = AB + CD$ fonksiyonu için yapılmış tasarım Şekil 4’de gösterilmiştir.



Şekil 4: $f = AB + CD$ fonksiyonunun diyot tabanlı nano-diziner ile tasarımı.

Şekil 4’de görüldüğü üzere $f = AB + CD$ fonksiyonunu gerçeklemek için 3x5 boyutunda bir nano-diziner gerekmektedir.

Şekil 4’deki en soldaki sütun toplama işlemi için kullanılmaktadır. Toplama işleminin yapıldığı bu sütun fonksiyon çıkış değerini göstermektedir. Çıkış sütunu ile kesilen satırların değerleri çarpım terimleri veya yalnız haldeki

değişkenlerdir. Satır sayısı, çarpım terimlerinin ve fonksiyonlar için çıkış değer sayısının toplamına eşittir.

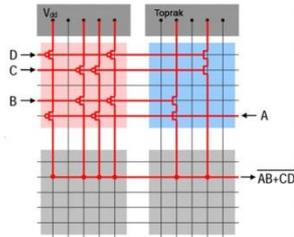
Çıkış sütunlarının dışında kalan sütunlar giriş sütunlarıdır. Çarpım terimlerinde bulunan A, A' ve B gibi girişler devreye bu sütunlar üzerinden aktarılır. Böylece gereken sütun sayısı giriş sayısı ve çıkış sayısının toplamına eşittir. Şekil 4’de verilen örnekte sadece f fonksiyonu çıkış olarak bulunmaktadır. Bu örnekte çıkış sayısı 1’dir. Böylece diyot tabanlı nano-dizin boyut denklemi Denklem 1’de gösterilmiştir.

$$\text{Dizin Boyutu} = (\text{Çarpım Sayısı} + \text{Çıkış Sayısı}) \times (\text{Giriş Sayısı} + \text{Çıkış Sayısı}) \quad (1)$$

Eğer fonksiyon ifadesinde toplama işlemine bir giriş yalnız halde katılıyorsa (ör: $f=A+BC$); bu giriş direk olarak satır teline verilir ve tasarımda bir sütun eklenmiş olur.

2.2. CMOS Tabanlı Nano-Dizin

CMOS tabanlı nano-dizin devre tasarımı, standart transistör tabanlı devreler ile benzerlik göstermektedir. Şekil 2’de gösterilen nano-dizinlerin nFETS bölgesi “pull-down” devresi, pFETS bölgesi “pull-up” devresi olarak tasarlanır [9]. Ancak bu nano-dizinlerde, standart CMOS transistör devrelerin aksine, her bir çarpım teriminin ayrı bir hat üzerinde gerçekleşmesi gerekmektedir. Şekil 5’de örnek olarak $f = (AB + CD)$ fonksiyonu için CMOS tabanlı nano-dizin tasarımı gösterilmiştir.



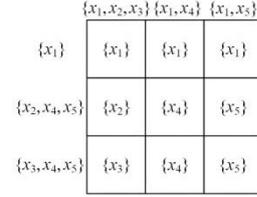
Şekil 5: $f = (AB + CD)$ fonksiyonunun CMOS tabanlı nano-dizinler ile tasarımı [9].

Şekil 5’de görüleceği gibi nFETS bölgesi f_D (f fonksiyonunun eşleniği) fonksiyonu için ve pFETS bölgesi f fonksiyonu için tasarlanırken her bir çarpım terimi bir sütun ile gerçekleşmiştir. Böylece bir fonksiyon için yapılan nano-dizin tasarımında gereken sütun sayısı fonksiyonun kendisi ve eşleniğinde bulunan çarpım terim sayısı kadardır. Satır sayısı ise giriş ve çıkış elemanları kadardır. Şekil 5’de verilen örnekte dört giriş ve bir çıkış elemanı vardır. Denklem 2’de dizin boyutu ifade edilmiştir.

$$\text{Dizin Boyutu} = (\text{Giriş Sayısı} + \text{Çıkış Sayısı}) \times (f \text{ fonksiyonu Çarpım Sayısı} + f_D \text{ fonksiyonu Çarpım Sayısı}) \quad (2)$$

2.3. Dört-Uçlu Anahtar Tabanlı Nano-Dizin

Altun ve Reidel’in geliştirmiş oldukları metot verilen herhangi bir hedef fonksiyonu için dört-üçlü anahtar tabanlı nano-dizin tasarımı yapılmasını sağlamaktadır [10]. Dört-üçlü anahtarlı nano-dizinlerde, diyot ve CMOS tabanlı nano-dizinlerin aksine, giriş değerleri anahtarları kontrol etmek için kullanılmaktadır. Şekil 6’da Altun ve Reidel’in makalesinden alınmış örnek gösterilmiştir. Geliştirilen teknik ile verilen $f = x_1x_2x_3 + x_1x_4 + x_1x_5$ fonksiyonunun kendisi ve eşleniği $f_D = x_1 + x_2x_4x_5 + x_3x_4x_5$ kullanılarak f fonksiyonu için Şekil 6’daki tasarım oluşturulmuştur [10].



Şekil 5: $f = x_1x_2x_3 + x_1x_4 + x_1x_5$ fonksiyonunun dört-üçlü anahtar tabanlı nano-dizinler ile tasarımı [10].

Metodun ilk aşamasında sütunlar üzerine fonksiyon ve satırlar üzerine eşleniğindeki çarpım terimleri yazılır. İkinci aşamada ise bu satır ve sütunların üzerindeki çarpım terimlerinde ortak olarak bulunan değişkenler, o kesişimdeki anahtarların kontrol uçlarına atanır. Eğer çarpım terimlerinde ortak olan birden fazla değişken var ise; rasgele bu değişkenlerden birinin seçilmesi yeterlidir. Şekil 2.c’de gösterilen nano-dizin modelinde gösterilen kontrol uçlarına girişlerin atanmasıyla, “ÜST-ALT” arasında f fonksiyonu gerçekleşmiş olur. Sütun ve satır sayılarını sırasıyla f ve f_D fonksiyonlarının çarpım terimlerinin sayısı belirlemiş olur [10]. Denklem 3’de dizin boyutu gösterilmiştir.

$$\text{Dizin Boyutu} = (f \text{ fonksiyonu Çarpım Sayısı}) \times (f_D \text{ fonksiyonu Çarpım Sayısı}) \quad (3)$$

Üç nano-dizin türü ile altı adet örnek fonksiyonu gerçeklemek için gereken dizin boyutları, temel teknikler ile ortaya çıkarılmış formüller yardımıyla hesaplanmıştır. Tablo 1’de dört-üçlü anahtar tabanlı nano-dizin tasarımları incelenen tüm örnek fonksiyonlar için en küçük boyutlarda sonuç verdiği görülmektedir.

Devre boyutu açısından değerlendirildiğinde üç tür arasında en avantajlı sonucu veren tür dört-üçlü anahtarlı nano-dizinler olmuştur. Bu sebeple XOR fonksiyonlarının sentezi bu tür nano-dizinler üzerinde yapılmıştır.

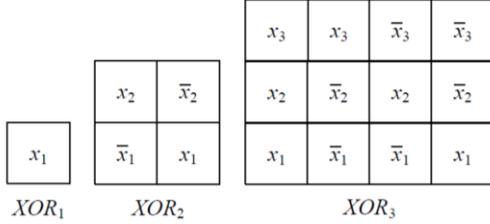
Tablo 1: Farklı fonksiyonlar için üç tür nano-dizin tasarım boyutları karşılaştırması.

Fonksiyon	Diyot tabanlı	CMOS tabanlı	Dört-üçlü anahtar tabanlı
f_1	$4 \times 6 = 24$	$6 \times 6 = 36$	$3 \times 3 = 9$
f_2	$3 \times 5 = 15$	$5 \times 6 = 30$	$4 \times 2 = 8$
f_3	$6 \times 8 = 48$	$8 \times 9 = 72$	$4 \times 5 = 20$
f_4	$3 \times 6 = 18$	$6 \times 6 = 36$	$4 \times 2 = 8$
f_5 (XOR ₃)	$5 \times 7 = 35$	$7 \times 8 = 56$	$4 \times 4 = 16$
f_6 (XOR ₄)	$9 \times 9 = 81$	$9 \times 16 = 144$	$8 \times 8 = 64$
$f_1 = x_1x_2x_3 + x_1x_4 + x_1x_5$ $f_2 = x_1x_2 + x_3x_4$ $f_3 = x_1x_2'x_3 + x_1x_4' + x_2x_3x_4'$ $+ x_2x_4x_5 + x_3x_5$		$f_4 = x_1x_2' + x_1'x_2x_3$ $XOR_3 = x_1x_2'x_3' + x_1'x_2x_3' + x_1'x_2'x_3 + x_1x_2x_3$ $XOR_4 = x_4XOR_3' + x_4'XOR_3$	
Fonksiyon	Giriş	Çarpım (Kendi)	Çarpım (Eşlenik)
f_1	5	3	3
f_2	4	2	4
f_3	7	5	4
f_4	5	2	4
f_5	6	4	4
f_6	8	8	8
Tüm fonksiyonlar için çıkış sayısı 1’dir.			
Diyot T. = (Çarpım S. + Çıkış S.) x (Giriş S. + Çıkış S.)			
CMOS T. = (Giriş S. + Çıkış S.) x (f fonk. Çarp. S. + f_D fonk. Çarp. S.)			
Dört-üçlü Anahtar T. = (f fonk. Çarp. S.) x (f_D fonk. Çarp. S.)			

3. Dört-Uçlu Anahtar Tabanlı Nano-Dizinler ile XOR Fonksiyonları Sentezi

Altun ve Reidel, XOR fonksiyonları için Bölüm 2.3.'de özetlenen genel fonksiyon sentezi metodu yerine daha verimli bir metot öne sürmüşlerdir. Geliştirilen metot sayesinde nano-dizin üzerinde istenilmeyen yollar iptal edilerek her bir çarpım terimi bir sütun ile gerçekleştirilmektedir [10]. Bu ardışık metot temelde XOR fonksiyonlarının Denklem 4'de gösterilen karakteristiğine dayanmaktadır. Şekil 6'da bu metot ile gerçekleştirilmiş XOR₁, XOR₂ ve XOR₃ fonksiyonları için tasarımlar yer almaktadır.

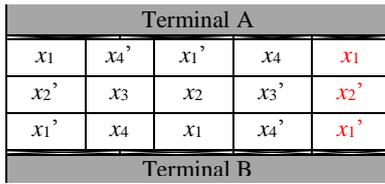
$$XOR_n = x_n XOR_{n-1}' + x_n' XOR_{n-1} \quad (4)$$



Şekil 6: Altun ve Reidel'in XOR fonksiyonları için nano-dizin tasarım metodu [10].

Bu metot sayesinde, XOR₃ için 4x4=16 olan nano-dizin boyutu 3x4=12'ye, XOR₄ için 8x8=64 olan nano-dizin boyutu 4x8=32'ye düşmüştür. Satır satısını çarpım terimlerinin uzunluğu (değişken sayısı), sütun sayısını çarpım sayısı belirlemektedir. Her bir çarpım terimi farklı bir sütun üzerinde oluşan yol ile gerçekleştirilmektedir. Ancak bu teknik anahtarların dört komşusu ile iletişime girebilme özelliğini kullanmamaktadır. Dört-üçlü nano-dizinlerin yapısı bu boyutların daha da küçülmesine imkân vermektedir. Bu tür nano-dizinler üzerindeki anahtarların dört-üçlü yapıya sahip olmaları, hedef fonksiyonun çarpım terimlerinin ortak olarak kullandıkları anahtar sayısının artmasını sağlamaktadır. Bu özelliğin kullanılmasıyla tasarımlar çok daha küçük boyutlara ulaşabilmektedir.

XOR₄ fonksiyonu için anahtarların dört uçlu olma özelliği kullanılarak, 3x5 boyutlarında bir nano-dizin tasarımı yapılmıştır. Şekil 7'de bu tasarım gösterilmiştir.



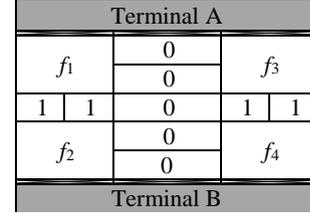
Şekil 7: XOR₄ fonksiyonu için dört-üçlü anahtar tabanlı nano-dizin tasarımı.

Şekil 7'deki tasarımda, herhangi bir sütundan başlayıp komşu sütunda biten her yol bir çarpım terimini gerçekleştirmektedir. Bu kurala uyan 8 farklı yola 8 farklı çarpım terimi atanmıştır. XOR₄ fonksiyonunun simetrik olması ve birbiri ile ortak elemanı olmayan iki farklı çarpım terimi bulundurmaması, tasarımın boyutunun optimum olduğunu ispat etmektedir. Son sütun ilk sütunun aynısıdır. Birinci ve dördüncü sütunların birbirine direk bağlanmaları halinde son sütuna ihtiyaç duyulmayacak ve tasarım 3x4=12 boyutlarına ulaşabilecektir. XOR₄ fonksiyonu için tasarlanan iki-üçlü anahtar tabanlı geleneksel devrelerde kullanılması gereken anahtar sayısı 16'dır. XOR₄ için 4x8=32 boyutları yerine 3x5=15 boyutlarında yapılan tasarım, geleneksel devre tasarımı

kullanılan anahtar sayısından bile daha az anahtar sayısına sahiptir.

Altun ve Reidel'in öne sürdükleri metot, Denklem 5 kullanılarak daha iyi sonuçlar verecek şekilde geliştirilmiştir. Denklem 5, Denklem 4'ün genelleştirilmiş halidir. Denklem 5'in Şekil 8'deki tasarım ile sentezlenmesiyle, tümevarım yaklaşımıyla bütün XOR fonksiyon tasarımlarına elde edilir.

$$XOR_{k+l+m} = XOR_k XOR_m' + XOR_l' XOR_m \quad (5)$$



Şekil 8: f₁ = f₁f₂ + f₃f₄ fonksiyonunun nano-dizinler ile gerçekleştirilmesi.

Örneğin; XOR₆ = XOR₄XOR₂' + XOR₄'XOR₂ eşitliği yazılabilmektedir. Bu dört alt fonksiyon (XOR₄, XOR₂', XOR₄' ve XOR₂) Şekil 8'da gösterilen fonksiyon blokları üzerinde gerçekleştirilerek, nano-dizin XOR₆ için tasarlanmış olur.

Tümevarım yaklaşımıyla gerçekleştirilen bu yöntem ile Şekil 6'daki alt XOR tasarımları kullanılarak üçten büyük XOR fonksiyonları için tasarlanan nano-dizin boyutları Tablo 2'de belirtilmiştir. Bu yaklaşımda XOR fonksiyonlarını en küçük alanda gerçeklemek için birbirine en yakın alt XOR fonksiyonları seçilmelidir.

Tablo 2: XOR₁, XOR₂ ve XOR₃ alt fonksiyonları ile gerçekleştirilen XOR fonksiyonlarının tasarım boyutları.

	Satır	Sütun	Alan	Alt Fonksiyonlar
XOR ₁	1	1	1	XOR ₁
XOR ₂	2	2	4	XOR ₁ , XOR ₁
XOR ₃	3	4	12	XOR ₁ , XOR ₂
XOR ₄	5	5	25	XOR ₂ , XOR ₂
XOR ₅	7	7	49	XOR ₂ , XOR ₃
XOR ₆	7	9	63	XOR ₃ , XOR ₃
XOR ₇	11	10	110	XOR ₃ , XOR ₄
XOR ₈	11	11	121	XOR ₄ , XOR ₄
XOR ₉	15	13	195	XOR ₄ , XOR ₅
XOR ₁₀	15	15	225	XOR ₅

Metot tümevarım yaklaşımını kullandığı için; her alt fonksiyon için yapılacak iyileştirme, daha büyük ölçekli fonksiyon tasarımların boyutlarının da küçülmesini sağlamaktadır. XOR₄ fonksiyonun Şekil 7'deki tasarım ile gerçekleştirilmesi bu iyileştirmelerden biridir.

Tasarımlar için bir diğer iyileştirme XOR₂ fonksiyonunun karakteristik özelliği kullanılarak yapılmaktadır. Eğer tasarım bloklarında XOR₂ fonksiyonu kullanılıyorsa; bu blok ile bu bloğun komşusu olan blok arasına "sıfır" yerleştirilmesine gerek yoktur. Çünkü XOR₂ fonksiyonu iki değişkenden oluşan çarpım terimlerine sahiptir. Bu terim elemanlarının sütun üzerine ardışık olarak yazılmasıyla oluşabilecek istenmeyen yollar engellenmiş olmaktadır. Böylece XOR₂ kullanılan tasarımların XOR₂'nin kullanıldığı bölgelerinde birer sütun

azalmış olmaktadır. Örneğin, XOR₄ fonksiyonu Tablo 2’de ifade edilen 5x5=25 yerine 5x4=20 boyutlu bir nano-dizin ile gerçekleştirilebilmektedir.

XOR₁, XOR₂ ve XOR₃ alt fonksiyonlarının kullanıldığı Şekil 8’de ifade edilen yöntem Şekil 7’deki XOR₄ tasarımının ilave edilmesi ve XOR₂ fonksiyonun özel durumunun kullanılmasıyla tasarımların geliştirilmiş son halleri Tablo 3’de gösterilmiştir.

Tablo 3: XOR₁, XOR₂, XOR₃ ve XOR₄ alt fonksiyonları ile gerçekleştirilen XOR fonksiyonlarının tasarım boyutları.

	Alt Fonksiyonlar	Satır	Sütun	Alan	Geleneksel devrelerde iki-uçlu anahtar S.	Tablo 2’de belirtilmiş sonuçlar
XOR ₁	XOR ₁	1	1	1	1	1
XOR ₂	XOR ₁	2	2	4	4	4
XOR ₃	XOR ₁ , XOR ₂	3	4	12	10	12
XOR ₄	özel tasarım	3	5	15	16	25
XOR ₅	XOR ₁ , XOR ₄	4	10	40	28	49
XOR ₆	XOR ₂ , XOR ₄	7	7	49	40	63
XOR ₇	XOR ₃ , XOR ₄	7	10	70	52	110
XOR ₈	XOR ₄	7	11	77	64	121
XOR ₉	XOR ₄ , XOR ₅	8	16	128	88	195
XOR ₁₀	XOR ₅	9	21	189	112	225

Tablo 3’de iki-uçlu anahtarlı geleneksel devre tasarımlarında gerekli olan anahtar sayıları da verilmiş ve bu anahtar sayıları ile elde edilen sonuçlar karşılaştırılmıştır. Bu karşılaştırmada geleneksel CMOS devre tasarımları, dört-üçlü anahtarlı nano-dizin tasarımlarına göre daha az anahtar sayısına sahip olmalarına rağmen; daha büyük alanda gerçekleştirilmektedir. Dört-üçlü anahtarlar 5-20 nm boyutlarında olmalarına rağmen, CMOS transistörler tasarım kurallarıyla beraber 50-60 nm boyutlarına ulaşabilmektedirler [8-13]. Yapılan kaba bir hesaplama aynı sayıda anahtar sayısına sahip olsalar bile; geleneksel devreler, nano-dizinlerden en az $50^2/20^2 = 6,25$ kat daha fazla yer kaplamaktadır [9].

4. Sonuçlar ve Gelecek Çalışmalar

Bu çalışma diyot, CMOS ve dört-üçlü anahtar tabanlı olmak üzere üç farklı nano-dizin türü ile yapılmıştır. Verilen herhangi bir hedef fonksiyon için, her üç tür ile yapılacak sentez teknikleri ortaya çıkarılmıştır. Bu teknikler ile tasarlanan nano-dizinlerin boyut formülleri, ayrı ayrı üç tür için elde edilmiştir. Bu sayede verilen bir hedef fonksiyonu gerçekleyen nano-dizinin boyutu hesaplanabilir olmaktadır. Bu formüller kullanılarak yapılan tasarımların boyut karşılaştırmalarında dört-üçlü anahtar tabanlı nano-dizinler avantaj göstermişlerdir. Bu sebeple XOR fonksiyonlarının sentezi bu tür nano-dizinler ile yapılmıştır.

Literatürdeki dört-üçlü anahtarlı nano-dizinler ile XOR fonksiyonları için geliştirilmiş iki sentez tekniği incelenmiş ve yeni bir teknik geliştirilmiştir. Bu iki teknikten daha iyi sonuçlar veren bu teknik, XOR fonksiyonlarının karakteristiklerinden yararlanılarak tümevarım yaklaşımıyla

geliştirilmiştir. Bu teknik ile XOR₄ fonksiyonu için elde edilen optimum tasarım, geleneksel CMOS anahtarlı devrelerde kullanılması gereken anahtar sayısından daha az anahtar sayısına sahiptir. Elde edilen sonuçlar tahmini olarak geleneksel devrelerle karşılaştırılmış ve her tasarım için dört-üçlü anahtarlı nano-dizinlerin daha küçük boyutlarda olduğu sonucuna varılmıştır.

XOR fonksiyonları sentezi üzerine yoğunlaşmış bu çalışma da kullanılan tüme varım yaklaşımı, genel lojik fonksiyonlarına tatbik edilmesi ile, genişletilebilir. Yapılacak çalışmalarla literatürdeki tekniklerden daha iyi sonuç veren metodların bulunması öngörülmektedir.

Bu çalışma TÜBİTAK 2209/A projesi kapsamında desteklenmiş ve TÜBİTAK 3501 (Kariyer) projesi ile geniş kapsamlı olarak desteklenmeye devam etmektedir.

5. Kaynaklar

- [1] Schaller, R. R., "Moore's law: past, present and future.", *Spectrum*, IEEE34,6 52-59 (1997).
- [2] Dubash, M., "Moore's Law is dead, says Gordon Moore", *Techworld.com*, 13 (2005).
- [3] Whitesides G. M. and Grzybowski B., "Self-assembly at all scales", *Science*, 295(5564):2418-2421, (2002).
- [4] Yan H., Park S. H., Finkelstein G., Reif J. H., and LaBean T. H., "DNA-templated self-assembly of protein arrays and highly conductive nanowires", *Science*, 301(5641):1882-1884, (2003).
- [5] Palmer, Jason, "Solar cells made through oil-and-water 'self-assembly'", <http://news.bbc.co.uk>, Tuesday, 12 January 2010
- [6] Hong, I.-H., Liao, Y.-C. & Yen, S.-C. "Self-organization of a highly integrated silicon nanowire network on a Si(110)-16x2 surface by controlled domain growth." *Adv. Funct. Mater.* 19, 3389 (2009).
- [7] S. Wairya, R. K. Nagaria, and S. Tiwari, "Comparative performance analysis of XOR-XNOR function based high speed CMOS full adder circuits for low voltage VLSI design," *International Journal of VLSI Design and Communication Systems*, vol. 3, no. 2, pp. 221–242, 2012.
- [8] DeHon, A., "Array-based architecture for FET-based, nanoscale electronics", *Nanotechnology*, IEEE Transactions on , vol.2, no.1, pp.23,32, Mar 2003.
- [9] Greg Snider et al, "CMOS-like logic in defective, nanoscale crossbars", *Nanotechnology*, 15 881, June 2004.
- [10] Altun M. and Riedel, Marc D., "Logic Synthesis for Switching Lattices," *IEEE Transactions on Computers*, vol. 61, no. 11, pp. 1588-1600, Nov. 2012.
- [11] Y. Cui and C. M. Lieber, "Functional nanoscale electronic devices assembled using silicon nanowire building blocks," *Science*, vol. 291, no. 5505, pp. 851–853, 2001.
- [12] Kang S-M, Leblebici Y. *CMOS Digital Integrated Circuits Analysis & Design: Analysis and Design*. 3rd ed. McGraw-Hill Professional, New York, 2002.
- [13] Clark, Robert D., "Emerging Applications for High K Materials in VLSI Technology." *Materials* 7, no. 4: 2913-2944, 2014